

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03235121 A

(43) Date of publication of application: 21 . 10 . 91

(51) Int. Cl

G06F 9/38

(21) Application number: 02031934

(71) Applicant: NEC CORP

(22) Date of filing: 13 . 02 . 90

(72) Inventor: MORISADA TAKESHI

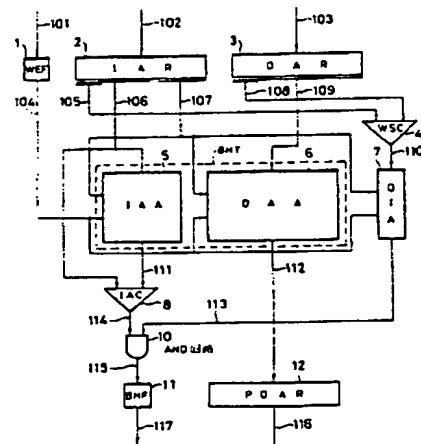
(54) BRANCH HISTORY TABLE CONTROL SYSTEM

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To curtail the overhead in a data processor to be generated by detecting an exception event such as virtual space absence, etc. by inhibiting a fact that a branch instruction for executing a branch between different virtual spaces hits against a branch history table.

CONSTITUTION: The system is constituted of a write permitting flag (WEF) 1, an instruction address register (IAR) 2, a branch destination address register (DAR) 3, a virtual space number comparing circuit (WSC) 4, an instruction address array (IAA) 5, a branch address array (DAA) 6, a branch destination information array (DIA) 7, an instruction address comparing circuit (IAC) 8, an AND circuit 10, a branch detecting flag (BHF) 11, and a predicted branch destination address register (PDAR) 12. In such a state, it is inhibited that a branch instruction for executing a branch between different virtual spaces hits against a branch history table. In such a way, the overhead of a data processor generated by detecting an exception event such as virtual space absence, etc., can be curtailed.



## ⑫ 公開特許公報 (A)

平3-235121

⑬ Int. Cl.<sup>3</sup>  
G 06 F 9/38識別記号 330 B  
府内整理番号 7927-5B

⑭ 公開 平成3年(1991)10月21日

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 分岐ヒストリーブル制御方式

⑯ 特 願 平2-31934

⑰ 出 願 平2(1990)2月13日

⑱ 発明者 森 定 剛 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 河原 純一

## 明細書

## 1. 発明の名称

分岐ヒストリーブル制御方式

## 2. 特許請求の範囲

Ⅰ 分岐命令アドレスとその分岐命令アドレスに対応する分岐先アドレスとを対にして記憶する分岐ヒストリーブルを有し仮想記憶方式を採用するデータ処理装置において、

分岐ヒストリーブル読み出し時に命令取出しアドレスを保持し分岐ヒストリーブル書き込み時に分岐命令アドレスを保持する第1のレジスタと、

分岐ヒストリーブル書き込み時に前記第1のレジスタによって保持される分岐命令アドレスに対応する分岐先アドレスを保持する第2のレジスタと、

分岐ヒストリーブル書き込み時に前記第1のレジスタによって保持される分岐命令アドレスの一部と前記第2のレジスタによって保持される分岐先アドレスの一部とを比較する第1の比較手段と、

分岐ヒストリーブルに対応して前記第1の比

較手段の比較結果を記憶する記憶手段と、

分岐ヒストリーブル読み出し時に前記第1のレジスタによって保持される命令取出しアドレスと分岐ヒストリーブルに記憶されている分岐命令アドレスとを比較する第2の比較手段と、

前記記憶手段によって記憶されている前記第1の比較手段の比較結果が不一致を示している場合に前記第2の比較手段の比較結果を無効化して予測分岐先アドレスの検出を抑止する第3の阻止手段と

を有することを特徴とする分岐ヒストリーブル制御方式。

Ⅱ 分岐命令アドレスとその分岐命令アドレスに対応する分岐先アドレスとを対にして記憶する分岐ヒストリーブルを有し仮想記憶方式を採用するデータ処理装置において、

分岐ヒストリーブル読み出し時に命令取出しアドレスを保持し分岐ヒストリーブル書き込み時に分岐命令アドレスを保持する第3のレジスタと、

分岐ヒストリーブル読み出し時に前記第3のレ

ジスタによって保持される命令取出しアドレスと分岐ヒストリーテーブルによって記憶されている分岐命令アドレスとを比較する第3の比較手段と、

分岐ヒストリーテーブルに記憶されている分岐命令アドレスの一部とその分岐命令アドレスに対応する分岐先アドレスの一部とを比較する第4の比較手段と、

この第4の比較手段の比較結果が不一致を示している場合に前記第3の比較手段の比較結果を無効化して予測分岐先アドレスの検出を抑止する第2の抑止手段と

を有することを特徴とする分岐ヒストリーテーブル制御方式。

### 3. 発明の詳細な説明

#### (虚構上の利用分野)

本発明は分岐ヒストリーテーブル制御方式に関し、特に仮想記憶方式を採用するデータ処理装置における分岐ヒストリーテーブル制御方式に関する。

#### (従来の技術)

分岐ヒストリーテーブルは、現在いろいろなデータを採用するデータ処理装置で使用される分岐ヒストリーテーブルでは、OS (Operating System) 等による処理が行われている間に以前存在した仮想空間がなくなったような場合に、異なる仮想空間の間の分岐を行う分岐命令が分岐ヒストリーテーブルにヒットすると、存在しない仮想空間の命令が先取りされる可能性が生じる。

#### (発明が解決しようとする課題)

上述したように、第2図に示すようにVAが構成されている仮想記憶方式を採用するデータ処理装置で使用される分岐ヒストリーテーブルでは、異なる仮想空間の間の分岐を行う分岐命令がヒットし、存在しない仮想空間の命令の先取りが行われる可能性がある。

この場合に、仮想空間不在等の例外事象が検出されるが、実際にはその分岐命令による分岐は実行されないのでその例外事象は無視される。

したがって、例外事象の検出およびその例外事象の無視によるオーバーヘッドがデータ処理装置

を処理装置で使用されており、分岐命令のアドレス (分岐命令アドレス) とその分岐命令に係る分岐先命令のアドレス (その分岐命令アドレスに対応する分岐先アドレス) とを対にして記憶している (分岐ヒストリーテーブルに、「特公昭50-22383」や「U. S. P. 709426」で紹介されている)。

ところで、ある種の仮想記憶方式を採用するデータ処理装置においては、仮想アドレス (VA. Virtual Address) は、第2図に示すように構成されている。すなわち、VAの上位ビットには仮想空間番号 (WSN. Working Space Number) があり、VAの下位ビット (WSNに係るビット以外のビット) には相対仮想アドレス (EVA. Effective Virtual Address) がある。このような構成のVAにおいて、WSNが異なるということは、VAに係る仮想空間自体が異なるということを示している。

以上のようにVAが構成されている仮想記憶方

に発生してしまうという欠点がある。

本発明の目的は、上述の点に鑑み、異なる仮想空間の間の分岐を行う分岐命令が分岐ヒストリーテーブルにヒットすることを抑止することができ、仮想空間不在等の例外事象の検出により発生するデータ処理装置におけるオーバーヘッドを削減することができる分岐ヒストリーテーブル制御方式を提供することにある。

#### (課題を解決するための手段)

本発明の分岐ヒストリーテーブル制御方式は、分岐命令アドレスとその分岐命令アドレスに対応する分岐先アドレスとを対にして記憶する分岐ヒストリーテーブルを有し仮想記憶方式を採用するデータ処理装置において、分岐ヒストリーテーブル検出し時に命令取出しアドレスを保持し分岐ヒストリーテーブル書き込み時に分岐命令アドレスを保持する第1のレジスタと、分岐ヒストリーテーブル書き込み時に前記第1のレジスタによって保持される分岐命令アドレスに対応する分岐先アドレスを保持する第2のレジスタと、分岐ヒストリーテーブル書き込

み時に前記第1のレジスタによって保持される分岐命令アドレスの一部と前記第2のレジスタによって保持される分岐先アドレスの一部とを比較する第1の比較手段と、分岐ヒストリーテーブルに対応して前記第1の比較手段の比較結果を記憶する記憶手段と、分岐ヒストリーテーブル読み出し時に前記第1のレジスタによって保持される命令取出しアドレスと分岐ヒストリーテーブルに記憶されている分岐命令アドレスとを比較する第2の比較手段と、前記記憶手段によって記憶されている前記第1の比較手段の比較結果が不一致を示している場合に前記第2の比較手段の比較結果を無効化して予測分岐先アドレスの検出を抑止する第1の抑止手段とを有する。

また、本発明の分岐ヒストリーテーブル制御方式は、分岐命令アドレスとその分岐命令アドレスに対応する分岐先アドレスとを対にして記憶する分岐ヒストリーテーブルを有し仮想記憶方式を採用するデータ処理装置において、分岐ヒストリーテーブル読み出し時に命令取出しアドレスを保持し分岐ヒ

スに対応する分岐先アドレスを保持し、第1の比較手段が分岐ヒストリーテーブル書き込み時に第1のレジスタによって保持される分岐命令アドレスの一部と第2のレジスタによって保持される分岐先アドレスの一部とを比較し、記憶手段が分岐ヒストリーテーブルに対応して第1の比較手段の比較結果を記憶し、第2の比較手段が分岐ヒストリーテーブル読み出し時に第1のレジスタによって保持される命令取出しアドレスと分岐ヒストリーテーブルに記憶されている分岐命令アドレスとを比較し、第1の抑止手段が記憶手段によって記憶されている第1の比較手段の比較結果が不一致を示している場合に第2の比較手段の比較結果を無効化して予測分岐先アドレスの検出を抑止する。

また、本発明の分岐ヒストリーテーブル制御方式では、第3のレジスタが分岐ヒストリーテーブル読み出し時に命令取出しアドレスを保持し分岐ヒストリーテーブル書き込み時に分岐命令アドレスを保持し、第3の比較手段が分岐ヒストリーテーブル読み出し時に第3のレジスタによって保持される命令取出し

ストリーテーブル書き込み時に分岐命令アドレスを保持する第3のレジスタと、分岐ヒストリーテーブル読み出し時に前記第3のレジスタによって保持される命令取出しアドレスと分岐ヒストリーテーブルによって記憶されている分岐命令アドレスとを比較する第3の比較手段と、分岐ヒストリーテーブルに記憶されている分岐命令アドレスの一部とその分岐命令アドレスに対応する分岐先アドレスの一部とを比較する第4の比較手段と、この第4の比較手段の比較結果が不一致を示している場合に前記第3の比較手段の比較結果を無効化して予測分岐先アドレスの検出を抑止する第2の抑止手段とを有する。

#### 〔作用〕

本発明の分岐ヒストリーテーブル制御方式では、第1のレジスタが分岐ヒストリーテーブル読み出し時に命令取出しアドレスを保持し分岐ヒストリーテーブル書き込み時に分岐命令アドレスを保持し、第2のレジスタが分岐ヒストリーテーブル書き込み時に第1のレジスタによって保持される分岐命令アドレ

スと分岐ヒストリーテーブルによって記憶されている分岐命令アドレスとを比較し、第4の比較手段が分岐ヒストリーテーブルに記憶されている分岐命令アドレスの一部とその分岐命令アドレスに対応する分岐先アドレスの一部とを比較し、第2の抑止手段が第4の比較手段の比較結果が不一致を示している場合に第3の比較手段の比較結果を無効化して予測分岐先アドレスの検出を抑止する。

#### 〔実施例〕

次に、本発明について図面を参照して説明する。第1図( a )は、本発明の分岐ヒストリーテーブル制御方式の一実施例の構成を示すブロック図である。本実施例の分岐ヒストリーテーブル制御方式は、書き込み許可フラグ ( WEP. Write Enable Flag ) 1と、命令アドレスレジスタ ( IAR. Instruction Address Register ) 2と、分岐先アドレスレジスタ ( DAR. Destination Address Register ) 3と、仮

想空間番号比較回路 (WSC, Working Space number Comparator) 4と、命令アドレスアレイ (IAA, Instruction Address Array) 5と、分岐先アドレスアレイ (DAA, Destination Address Array) 6と、分岐先情報アレイ (DIA, Destination Information Array) 7と、命令アドレス比較回路 (IAC, Instruction Address Comparator) 8と、AND回路10と、分岐検出フラグ (BHF, Branch Hit Flag) 11と、予測分岐先アドレスレジスタ (PDAR, Predicted Destination Address Register) 12と、信号線101～116とを含んで構成されている。ここで、IAA5およびDAA6により分岐ヒストリーテーブル (BHT, Branch History Table) が構成されている。また、IAR2により第1のレジスタが実現

され、DAR3により第2のレジスタが実現され、WSC4により第1の比較手段が実現され、DIA7により記憶手段が実現され、IAC8により第2の比較手段が実現され、AND回路10により第1の抑止手段が実現されている。なお、本実施例の分岐ヒストリーテーブル制御方式は、第2図に示すようにVAが構成されている仮想記憶方式を採用するデータ処理装置に適用されるものとする。

WEF1は、BHTにアドレス (分岐命令アドレスおよび分岐先アドレス) を登録する (書き込む) 場合にセットされるP/P (P11p/P10p) であり、信号線101を介して命令取出し制御装置 (IFC, Instruction Fetch Controller) (図示せず) より送出されるBHT登録信号を受け、信号線104を介してIAA5, DAA6およびDIA7への書き込みを指示する。

IAR2は、BHT読み出し時には命令取出しアドレスを受けてBHT書き込み時には分岐命令アド

レスを受けるレジスタであり、信号線102を介してアドレス生成回路 (ADC, Address Development Circuit) (図示せず) より送出されるアドレスを受け、信号線105を介してWSC4に分岐命令の存在する仮想空間の仮想空間番号 (WSN, 受け取った分岐命令アドレスの一部, 第2図参照) を送出し、信号線106を介してアドレス中の一定数の上位ビット (IAC8における比較のために必要なくつかのビット) をIAA5およびIAC8に送出し、信号線107を介してIAA5, DAA6およびDIA7にアドレス中の下位ビット (上述の一定の上位ビット以外のビット) をRAM (Random Access Memory, IAA5, DAA6およびDIA7の各々を形成するRAM) のアドレスとして送出する。

DAR3は、BHT書き込み時にIAR2に保持される分岐命令アドレスに対応する分岐先アドレスを保持するレジスタであり、信号線103を介してADCより分岐先アドレスを受け、信号線1

09を介してDAA6にその分岐先アドレスを送出し、信号線108を介してWSC4に分岐先命令の存在する仮想空間のWSN (受け取った分岐先アドレスの一部) を送出する。

WSC4は、分岐命令の存在する仮想空間のWSNと分岐先命令の存在する仮想空間のWSNとを比較して両者が等しいか否かを検出する比較回路であり、分岐命令の存在する仮想空間のWSNおよび分岐先命令の存在する仮想空間のWSNの各々を信号線105および108を介してIAR2およびDAR3より受け、両者が等しい場合にはその比較結果を“1”とし、両者が等しくない場合にはその比較結果を“0”とし、その比較結果 (WSN比較結果) を信号線110を介してDIA7に送出する。

BHT内のIAA5は、分岐命令アドレスの履歴を記憶するテーブルであり、信号線107を介してIAR2より送出されるアドレス (分岐命令アドレスまたは命令取出しアドレス) の下位ビットをアドレスとして、信号線104を介してWE

F1より書き込みが指示（許可）された場合（WEF1のセット時）には信号線106を介してIAR2より送出される分岐命令アドレスの上位ビットを書き込み、WEF1より読みしが指示された場合（WEF1のリセット時）には履歴として残っている分岐命令アドレスの上位ビットを信号線111を介してIAC8に送出する。

BHT内のDAA6は、IAAS内の分岐命令アドレスの履歴に対応して分岐先アドレスの履歴を記憶するテーブルであり、信号線107を介してIAR2より送出されるアドレスの下位ビットをアドレスとして、信号線104を介してWEF1より書き込みが指示された場合には信号線109を介してDAR3より送出される分岐先アドレスを書き込み、WEF1より読みしが指示された場合には履歴として残っている分岐先アドレスを信号線112を介してPDAR12に送出する。

DIATは、対をなす分岐命令アドレス中のWSNと分岐先アドレス中のWSNとの比較結果をIAASおよびDAA6に対応して（BHTとエ

線114を介してIAC8より送出されるアドレス一致信号と信号線113を介してDIATより送出されるWSN比較結果との論理積をとり、その論理積の結果を信号線115を介して予測分岐先検出信号としてBHF11に送出する。

BHF11は、予測分岐先アドレスを検出したか否かを示すP/P（予測分岐先検出信号が“1”であれば予測分岐先アドレスを検出したことを示すためにセットされるP/P）であり、信号線115を介してAND回路10より送出される予測分岐先検出信号を受け、その予測分岐先検出信号に基づく信号を信号線117を介してIFCに送出する。

PDAR12は、BHF11と対応して予測分岐先アドレスを受けるレジスタであり、信号線112を介してDAA6より送出されるBHT内の履歴上の分岐先アドレスを受け、その分岐先アドレスを予測分岐先アドレスとして信号線116を介してADCに送出する。

次に、このように構成された本実施例の分岐ヒ

ントリを対応させて）記憶するテーブルであり、信号線104を介してWEF1より書き込みが指示された場合にはWSC4より信号線110を介して送出された比較結果を記憶し、WEF1より読みしが指示された場合には記憶している比較結果を信号線113を介してAND回路10に送出する。

IAC8は、BHT読み出し時に命令取出しアドレスとBHT内の履歴上の分岐命令アドレスとの一致を検出する比較回路であり、信号線106を介してIAR2より送出される命令取出しアドレスの上位ビットと信号線111を介してIAASより送出される分岐命令アドレスの上位ビットとを比較し、一致したか否かを示す比較結果（両者が等しい場合には“1”を示し、両者が異なる場合には“0”を示すアドレス一致信号）を信号線114を介してAND回路10に送出する。

AND回路10は、BHT読み出し時に命令取出しアドレスと同じ分岐命令アドレスがBHT内の履歴上にあるか否かを調べるゲートであり、信号

ストリーテーブル制御方式の動作について説明する。まず、BHT読み出し時の動作について説明する。BHT読み出し時には、最初に、WEF1に“0”がセットされ、IAR2に命令取出しアドレスがセットされる。

これらのセットに基づき、IAC8はIAAS内の履歴上の分岐命令アドレスとIAR2内の命令取出しアドレスとを比較する。

この比較で履歴上の分岐命令アドレスと命令取出しアドレスとが一致すれば、IAC8の出力（信号線114上のアドレス一致信号）は“1”となる。

この時点では、DIATによって分岐命令の存在する仮想空間のWSNと分岐先命令の存在する仮想空間のWSNとが等しいことが示されていれば、AND回路10の出力（信号線115上の予測分岐先検出信号）は“1”となる（DIATによって分岐命令の存在する仮想空間のWSNと分岐先命令の存在する仮想空間のWSNとが異なることが示されていればAND回路10の出力は常に“

0"となり、たとえIAC8の出力が"1"となつても予測分岐先アドレスの検出は抑止される)。

AND回路10の出力が"1"となると、BHF11がセットされ、BHF11は予測分岐先アドレスの検出を示す信号をIPCに送出する。

それと同時に、PDAR12はDAA6より予測分岐先アドレスを受け取り、その予測分岐先アドレスをADCに送出する。

続いて、BHT書き込み時の動作について説明する。

BHT書き込み時には、WEF1に"1"がセットされ、IAR2に分岐命令アドレスがセットされ、DAR3にその分岐命令アドレスに対応する分岐先アドレスがセットされる。

これらのセットに基づき(セットされた分岐命令アドレスおよび分岐先アドレス中のWSNに基づき)、WSC4は分岐命令の存在する仮想空間と分岐先命令の存在する仮想空間とが等しいか否かをチェックする。

このチェックで両者が等しければ、WSC4の

AA6によりBHTが構成されている。また、IAR2により第3のレジスタが実現され、IAC8により第3の比較手段が実現され、WSC9により第4の比較手段が実現され、AND回路10により第2の抑止手段が実現されている。なお、本実施例の分岐ヒストリーテーブル制御方式も、第1図(a)に示す分岐ヒストリーテーブル制御方式と同様に、第2図に示すようにVAが構成されている仮想記憶方式を採用するデータ処理装置に適用されるものとする。

WEF1は、BHTにアドレスを登録する(書き込む)場合にセットされるP/Pであり、信号線101を介してIPC(図示せず)より送出されるBHT登録信号を受け、信号線118を介してIAA5およびDAA6への書き込みを指示する。

IAR2は、BHT読み出し時には命令取出しアドレスを受けてBHT書き込み時には分岐命令アドレスを受けるレジスタであり、信号線102を介してADC(図示せず)より送出されるアドレスを受け、信号線119を介してアドレス中の一定

出力(信号線110上のWSN比較結果)が"1"となり、DIA7に"1"が格納される。

上述のチェックで両者が異なれば、DIA7に"0"が記憶される。この"0"の記憶により、先に述べたように、BHT読み出し時の予測分岐先アドレスの検出が抑止されることになる。

このようにして、異なる仮想空間の間の分岐を行う分岐命令が分岐ヒストリーテーブルにヒットすることが抑止される。

第1図(b)は、本発明の分岐ヒストリーテーブル制御方式の実施例の構成を示すブロック図である。本実施例の分岐ヒストリーテーブル制御方式は、WEF1と、IAR2と、DAR3と、IAA5と、DAA6と、IAC8と、WSC9と、AND回路10と、BHF11と、PDAR12と、信号線101~103、109、112、114~123とを含んで構成されている(第1図(a)中の構成要素と同様な第1図(b)中の構成要素は、第1図(a)中の符号と同一の符号を付して示している)。ここで、IAA5およびD

の上位ビット(IAC8における比較のために必要ないくつかのビット)をIAA5およびIAC8に送出し、信号線120を介してIAA5およびDAA6にアドレス中の下位ビットをIAA5およびDAA6の各々を形成するRAMのアドレスとして送出する。

DAR3は、BHT書き込み時にIAR2に保持される分岐命令アドレスに対応する分岐先アドレスを保持するレジスタであり、信号線103を介してADCより送出される分岐先アドレスを受け、信号線109を介してDAA6にその分岐先アドレスを送出する。

BHT内のIAA5は、分岐命令アドレスの履歴を記憶するテーブルであり、信号線120を介してIAR2より送出されるアドレスの下位ビットをアドレスとして、信号線118を介してWEF1より書き込みが指示された場合には信号線119を介してIAR2より送出される分岐命令アドレスの上位ビットを書き込み、WEF1より読み出しが指示された場合には履歴として残っている分

被命令アドレスの上位ビットを信号線111を介してIAC8に送出し、その分岐命令アドレス中のWSN(第2図参照)を信号線121を介してWSC9に送出する。

BHT内のDAA6は、IAA5内の分岐命令アドレスの履歴に対応して分岐先アドレスの履歴を記憶するテーブルであり、信号線120を介してIAR2より送出されるアドレスの下位ビットをアドレスとして、信号線118を介してWEF1より書き込みが指示された場合には信号線109を介してDAR3より送出される分岐先アドレスを書き込み、WEF1より読み出しが指示された場合には履歴として残っている分岐先アドレスを信号線112を介してPDAR12に送出し、その分岐先アドレス中のWSNを信号線122を介してWSC9に送出する。

IAC8は、BHT読み出し時に命令取出しアドレスとBHT内の履歴上の分岐命令アドレスとの一致を検出する比較回路であり、信号線119を介してIAR2より送出される命令取出しアドレ

スの上位ビットと信号線111を介してIAA5より送出される分岐命令アドレスの上位ビットとを比較し、一致したか否かを示す比較結果(両者が等しい場合には"1"を示し、両者が異なる場合には"0"を示すアドレス一致信号)を信号線114を介してAND回路10に送出する。

WSC9は、分岐命令の存在する仮想空間のWSNと分岐先命令の存在する仮想空間のWSNとを比較して両者が等しいか否かを検出する比較回路であり、分岐命令の存在する仮想空間のWSNおよび分岐先命令の存在する仮想空間のWSNの各々を信号線121および122を介してIAA5およびDAA6より受け、両者が等しい場合にはその比較結果を"1"とし、両者が等しくない場合にはその比較結果を"0"とし、その比較結果(WSN比較結果)を信号線123を介してAND回路10に送出する。

AND回路10は、BHT読み出し時に命令取出しアドレスと同じ分岐命令アドレスがBHT内の履歴上にあるか否かを調べるゲートであり、信号

線114を介してIAC8より送出されるアドレス一致信号と信号線123を介してWSC9より送出されるWSN比較結果との論理積をとり、その論理積の結果を信号線115を介して予測分岐先検出信号としてBHF11に送出する。

BHF11およびPDAR12は、第1図(a)に示す実施例におけるBHF11およびPDAR12と同一の機能を有する。

次に、このように構成された本実施例の分岐ヒストリーテーブル制御方式の動作について説明する。

まず、BHT読み出し時の動作について説明する。

BHT読み出し時には、最初に、WEF1に"0"がセットされ、IAR2に命令取出しアドレスがセットされる。

これらのセットに基づき、IAC8はIAA5内の履歴上の分岐命令アドレスとIAR2内の命令取出しアドレスとを比較する。

この比較で履歴上の分岐命令アドレスと命令取出しアドレスとが一致すれば、IAC8の出力(信号線114上のアドレス一致信号)は"1"と

なる。

この時点で、WSC9によって履歴上の分岐命令アドレス中のWSNとその分岐命令アドレスに対応する分岐先アドレス中のWSNとが等しいことが示されていれば、AND回路10の出力(信号線115上の予測分岐先検出信号)は"1"となる。

AND回路10の出力が"1"となると、BHF11がセットされ、BHF11は予測分岐先アドレスの検出を示す信号をIFCに送出する。

それと同時に、PDAR12はDAA6より予測分岐先アドレスを受け取り、その予測分岐先アドレスをADCに送出する。

WSC9によって履歴上の分岐命令アドレス中のWSNとその分岐命令アドレスに対応する分岐先アドレス中のWSNとが異なることが示されていればAND回路10の出力は常に"0"となる。

AND回路10の出力が"0"ると、BHF11がリセットされ、予測分岐先アドレスの検出が抑止される。

続いて、BHT書き込み時の動作について説明する（この動作は従来のBHTの制御における動作と同様である）。

BHT書き込み時には、WEF1に"1"がセットされ、IAR2に分岐命令アドレスがセットされ、DAR3にその分岐命令アドレスに対応する分岐先アドレスがセットされる。

WEF1に"1"がセットされることにより、IAA5およびDAA6に対する書き込みの指示が出て、IAR2内の分岐命令アドレス中の下位ビットで示されるアドレスのIAA5内の記憶領域にIAR2にセットされた分岐命令アドレスが書き込まれ、同一のアドレスのDAA6内の記憶領域にDAR3にセットされた分岐先アドレスが書き込まれる。

#### （発明の効果）

以上説明したように本発明は、異なる仮想空間の間の分岐を行う分岐命令が分岐ヒストリーテーブルにヒットすることを抑止することにより、存在しない仮想空間の命令の先取りが行われる可能性

がなくなり、仮想空間不在等の例外事象の検出により発生するデータ処理装置のオーバヘッドを削減することができるという効果がある。

また、DIAが設けられる本発明の分岐ヒストリーテーブル制御方式では、仮想空間に関する比較情報（WSN比較結果等）を分岐ヒストリーテーブルに対応させて記憶することにより、その比較情報を他の情報と組み合わせてより緻密な分岐ヒストリーテーブルに関する制御が可能になるという効果がある。

#### 4. 図面の簡単な説明

第1図(a)は本発明の一実施例の構成を示すブロック図。

第1図(b)は本発明の他の実施例の構成を示すブロック図。

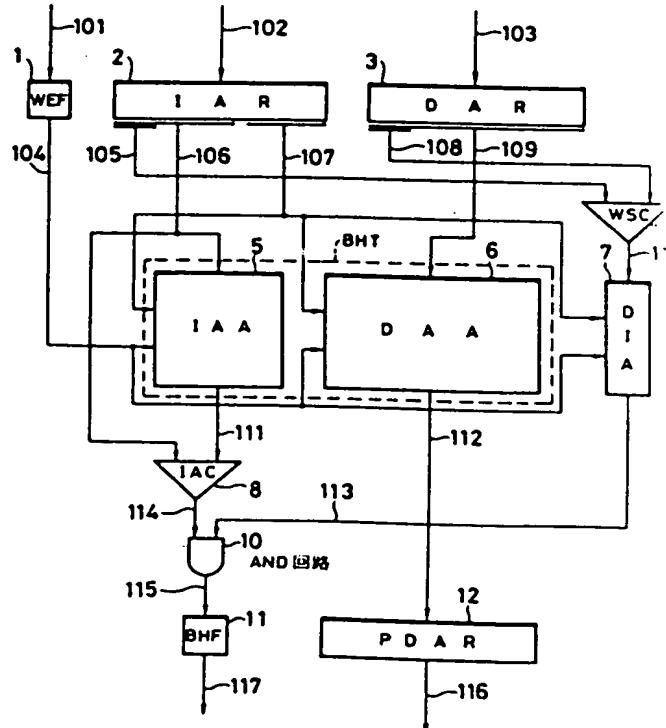
第2図は第1図(a)および(b)に示す分岐ヒストリーテーブル制御方式が適用されるデータ処理方式で採用される仮想記憶方式における仮想アドレス(VA)の構成の一例を示す図である。

図において、

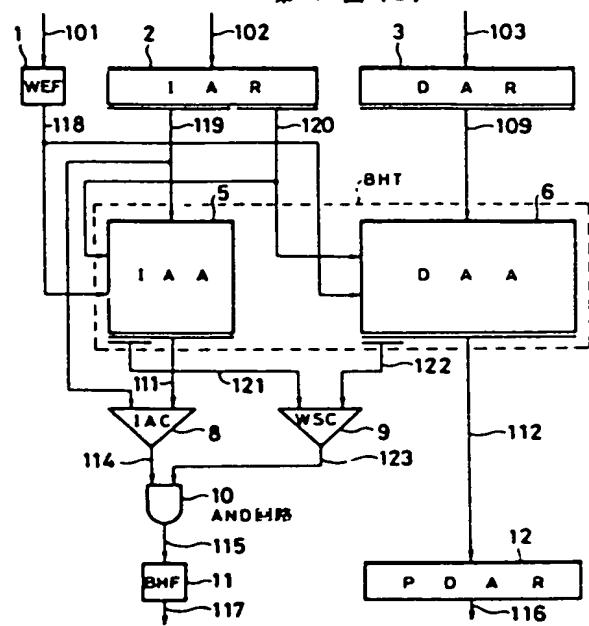
- 1 ··· 書込み許可フラグ (WEF)、
- 2 ··· 命令アドレスレジスタ (IAR)、
- 3 ··· 分岐先アドレスレジスタ (DAR)、
- 4 ··· 9 ·仮想空間番号比較回路 (WSC)、
- 5 ··· 命令アドレスアレイ (IAA)、
- 6 ··· 分岐先アドレスアレイ (DAA)、
- 7 ··· 分岐先情報アレイ (DIA)、
- 8 ··· 命令アドレス比較回路 (IAC)、
- 10 ··· AND回路、
- 11 ··· 分岐検出フラグ (BHF)、
- 12 ··· 予測分岐先アドレスレジスタ (PDA R)、
- 101~123 ··· 信号線である。

特許出願人 日本電気株式会社  
代理人 弁理士 河原純一

第1図(a)



第1図(b)



第2図

